

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 23/32	(45) 공고일자 (11) 등록번호 (24) 등록일자	2002년03월07일 10-0326108 2002년02월14일	
(21) 출원번호 (22) 출원일자	10-1999-0003470 1999년02월03일	(65) 공개번호 (43) 공개일자	특 1999-0077400 1999년10월25일
(30) 우선권주장 (73) 특허권자	98-76525 1998년03월09일 일본(JP) 신꼬오덴기 고교 가부시키가이샤 모기 줌이찌		
(72) 발명자	일본국 나가노켄 나가노시 오아자 구리따 아자 사리덴 711 무라야마게이		
(74) 대리인	일본코나가노켄나가노시오아자구리따아자사리덴711신꼬오덴기고교가부시키 가이샤내 문기상, 문두현, 황태청		

심사관 : 유한철

(54) 반도체 칩의 실장구조

요약

반도체 칩과 언더필과 기판간에 가해지는 열응력을 완화하여, 반도체 칩의 하방의 기판의 하면 부분이 웅푹 들어가거나 반도체 칩이 파손하거나 하는 것을 방지할 수 있는 반도체 칩의 실장구조를 얻을 수 있다.

반도체 칩(20)과 기판(10)간에 언더필(40)이 층전되고, 반도체 칩(20)이 기판(10)에 언더필(40)을 개재하여 접합되어 있는 반도체 칩의 실장구조에 있어서,

반도체 칩(20)의 하방의 기판(10) 부분에 강성이 있는 스티프너(100)를 매설한다. 그리고 그 스티프너(100)에 의해 반도체 칩(20)과 언더필(40)과 기판(10)간에 가해지는 열응력을 완화할 수 있도록 한다.

대표도

도 1

색인어

반도체 칩, 실장구조, 열응력

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 또는 제2의 실장구조의 정면단면도.

도 2는 본 발명의 제1 또는 제2의 실장구조의 평면도.

도 3은 본 발명의 제1 또는 제2의 실장구조의 평면도.

도 4는 본 발명의 제1 또는 제2의 실장구조의 평면도.

도 5는 본 발명의 제1 또는 제2의 실장구조의 스티프너(stiffener) 또는 엘라스토머(elastomer)의 평면도.

도 6은 본 발명의 제1 또는 제2의 실장구조의 정면단면도.

도 7은 본 발명의 제1 또는 제2의 실장구조의 스티프너 또는 엘라스토머의 평면도.

도 8은 본 발명의 제1 또는 제2의 실장구조의 일부 확대 단면도.

도 9는 본 발명의 제1 또는 제2의 실장구조의 일부 확대 단면도.

도 10은 본 발명의 제1 또는 제2의 실장구조의 일부 확대 단면도.

도 11은 종래의 실장구조의 정면단면도.

도 12는 종래의 실장구조의 평면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 칩과 그의 하방의 기판부분간에 언더필(under-film)이 층전되어 있는 반도체 칩의 실장구조에 관한 것이다.

종래부터 도 11과 도 12에 나타낸 바와 같은 반도체 칩의 실장구조가 알려져 있다.

이 실장구조에서는, 기판(10)에 형성된 패드(pad)(12)에 반도체 칩(20)의 전극이 납땜 등으로부터 되는 범프(bump)(30)를 개재하여 납땜 등에 의해 접속되어 있다. 반도체 칩(20)과 그의 하방의 기판(10) 부분 사이에는 수지재를 경화하여 되는 언더필(40)이 층전되어 있다. 그리고 그 언더필(40)에 의해 반도체 칩(20)과 그의 하방의 기판(10) 부분이 접합되어 있다. 기판(10)은 유전률이 낮은 에폭시계 등의 수지로 형성되어 있다. 그리고 기판(10)에 형성된 배선회로(도시않됨)를 통해 고주파신호가 전송손실이 적고 신속하게 전달되도록 하고 있다.

이 반도체 칩(20)의 실장구조에서는, 실리콘 등으로 되는 반도체 칩(20)과 수지로 되는 기판(10)간의 열팽창계수의 차에 의거한 열응력이 반도체 칩(20)과 기판(10)간에 가해진 경우에, 기판(10)의 패드(12)에 범프(30)를 개재하여 접속된 반도체 칩(20)의 전극이 패드(12)로부터 이탈하는 것을 반도체 칩(20)과 기판(10)을 접합하고 있는 언더필(40)에 의해 방지할 수 있다. 그리고 반도체 칩(20)의 전극과 패드(12)의 전기적 접속성을 양호하게 유지할 수 있다.

이 실장구조에 사용되는 언더필(40) 형성용의 수지재로는 필러(filler)(실리콘 등의 층전재)의 흡입량이 적어서 유동성이 높은 수지재가 사용되고 있다.

그 이유는 반도체 칩(20)과 그의 하방의 기판(10) 부분간의 간격이 80~100 μ m정도 밖에 없기 때문이다. 그 때문에 그간격에 주입하는 수지재로는 점성이 낮고 유동성이 높은 수지재를 사용할 필요가 있다.

발명이 이루고자 하는 기술적 과제

그러나 상기한 필러의 흡입량이 적고 유동성이 높은 수지재를 경화하여 되는 언더필(40)은 반도체 칩(20)이나 기판(10)의 열팽창계수보다 높은 열팽창계수를 갖고 있다.

아울러 실리콘으로 되는 반도체 칩(20)의 열팽창계수는 3.4ppm/°C이고, FR-4라 칭하는 수지로 되는 기판(10)의 열팽창계수는 15ppm/°C이다. 그에 반하여 상기의 언더필(40)의 열팽창계수는 23ppm/°C이다.

그 때문에 반도체 칩(20)이 발하는 열 등이 그 칩이나 언더필(40)이나 기판(10)에 가해지면 그들 간의 열팽창계수의 차에 의거한 열응력이 반도체 칩(20)과 언더필(40)과 기판(10)간에 가해졌다. 그리고 반도체 칩(20)의 하방에 위치하는 기판(10)의 하면 부분이 반도체 칩(20) 방향으로 원형상 등으로 움푹 들어가 버렸다. 그리고 기판(10)의 하면 부분에 설치된 패드(도시않됨)를 마더보드(mother board)의 패드(도시않됨) 등에 확실하게 전기적으로 접속 불가능하게 되었다. 또는 기판(10)과 언더필(40)과 반도체 칩(20)간에 가해진 열응력을 의해 취약한 반도체 칩(20)이 파손되었다.

또한 상기한 실장구조에서는, 도 11과 도 12에 나타낸 바와 같이, 강성이 있는 Cu 등의 금속으로 되는 사각형의 틀체(50)를 기판(10)상에 고착하고 있다. 그리고 그 틀체(50)에 의해 반도체 칩(20)이 실장된 기판(10) 부분의 주위를 둘러싸고 있다. 그리고 기판(10)에 가해진 열응력을 틀체(50)에 의해 완화하고 있다.

그러나 그러한 경우에도 여전히 반도체 칩(20)의 하방의 기판(10)의 하면 부분이 움푹 들어가거나, 반도체 칩(20)에 과대한 응력이 가해지거나 하였다.

이와 같은 것은 특히 일변이 10mm이상의 대형의 반도체 칩(20)을 박형의 기판(10)상에 실장한 경우에 현저하였다.

본 발명은 그와 같은 과제를 감안하여 된 것으로서, 반도체 칩과 그 칩의 전극이 범프를 개재하여 접속된 패드를 갖는 기판부분간에 언더필이 층전되어 있는 반도체 칩의 실장구조에 있어서, 반도체 칩과 언더필과 기판간에 가해지는 열응력을 완화하거나 또는 흡수하거나 하여, 반도체 칩의 하방의 기판의 하면 부분이 반도체 칩 방향으로 움푹 들어가거나, 반도체 칩이 파손하는 것을 방지할 수 있는 반도체 칩의 실장구조를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명의 제1의 실장구조는 수지로 이루어진 기판에 형성된 패드에 반도체 칩의 전극이 범프를 개재하여 접속됨과 동시에 상기 기판과 반도체 칩 사이에 언더필이 층전되며, 그 언더필을 개재하여 상기 기판에 반도체 칩이 접합되어 있는 반도체 칩의 실장구조에 있어서,

상기 반도체 칩에 대응하는 기판부분에 반도체 칩과 언더필과 기판간에 가해지는 열응력을 완화하기 위한 스티프너를 매설한 것을 특징으로 한다.

이 제1의 실장구조에서는, 반도체 칩이 발하는 열 등에 의해 열팽창계수가 다른 반도체 칩과 언더필과 기판간에 열응력이 발생한 경우에, 그 열응력을 반도체 칩에 대응하는 기판부분에 매설한 강성을 갖는 스티프너에 의해 완화할 수 있다. 그리고, 반도체 칩과 언더필과 기판간에 가해지는 열응력에 의해 반도체 칩의 하방의 기판의 하면 부분이 반도체 칩 방향으로 움푹 들어가거나, 반도체 칩이 파손되거나 하는 것을 방지할 수 있다.

본 발명의 제1의 실장구조에서는, 스티프너에 기판의 열팽창계수보다 낮은 열팽창계수를 갖는 부재를 사용한 구조로 하는 것이 바람직하다.

이 제1의 실장구조에서는, 기판의 열팽창계수보다 낮은 열팽창계수를 갖는 스티프너에 의해 반도체 칩에 대응하는 기판부분의 열팽창계수를 의사적으로 낮게 할 수 있다. 그리고 반도체 칩에 대응하는 기판부분의 열팽창계수를 반도체 칩의 열팽창계수에 의사적으로 가깝게 할 수 있다. 그리고 기판과 스티프너와 반도체 칩간에 가해지는 열응력을 확실하게 약화시키는 것이 가능하다.

또한 본 발명의 제1의 실장구조에서는, 스티프너를 반도체 칩의 코너부에 대응하는 기판부분에 매설한 구조로 하는 것이 바람직하다.

이 제1의 실장구조에서는, 반도체 칩에 가해지는 열응력이 집중하는 반도체 칩의 코너부의 열응력을 그 코너부에 대응하는 기판부분에 매설한 스티프너에 의해 효율 좋고 확실하게 완화할 수 있다.

또한 반도체 칩의 코너부 이외의 반도체 칩의 하방에 위치하는 기판부분에 배선희로를 스티프너와 교차하지 않게 형성할 수 있다. 그리고 그 배선희로와 금속 등으로 되는 스티프너가 전기적으로 단락하는 것을 방지할 수 있다.

또한 본 발명의 제1의 실장구조에서는, 스티프너를 반도체 칩의 주위에 대응하는 기판부분에 틀형상으로 연속하여 매설한 구조로 하는 것이 바람직하다.

이 제1의 실장구조에서는, 반도체 칩에 가해지는 열응력이 집중하는 반도체 칩의 코너부의 열응력을 그 코너부에 대응하는 기판부분에 매설한 스티프너 부분에 의해 효율 좋고 확실하게 완화할 수 있다.

그와 동시에 그 반도체 칩의 코너부에 대응하는 기판부분에 매설된 스티프너 부분에 의해 완화하는 열응력의 다수를 그 스티프너 부분에서 틀형상으로 연속하는 다른 스티프너 부분으로 분산시켜 완화할 수 있다. 그리고 반도체 칩의 코너부에 가해지는 열응력을 스티프너에 의해 효율 좋게 완화할 수 있다.

또한 본 발명의 제1의 실장구조에서는, 스티프너를 반도체 칩에 대응하는 기판부분에 면상으로 넓게 매설한 구조로 하는 것이 바람직하다.

이 제1의 실장구조에서는, 반도체 칩을 반도체 칩에 가해지는 열응력이 집중하는 반도체 칩의 코너부의 열응력을 그 코너부에 대응하는 기판부분에 매설한 스티프너에 의해 효율 좋고 확실하게 완화할 수 있다.

그와 동시에 그 반도체 칩의 코너부에 대응하는 기판부분에 매설된 스티프너 부분에 의해 완화하는 열응력의 다수를 그 스티프너 부분에서 면상으로 연속하는 다른 스티프너 부분으로 넓게 분산시켜 완화할 수 있다. 그리고 반도체 칩의 코너부에 가해지는 열응력을 스티프너에 의해 효율 좋게 완화할 수 있다.

또한 본 발명의 제1의 실장구조에서는, 스티프너를 도전성이 있는 부재로 형성하고, 그 스티프너를 기판에 형성된 그라운드 선로와 전기적으로 접속하는 그라운드로 구성한 구조로 하는 것이 바람직하다.

이 제1의 실장구조에서는, 그 그라운드로 구성한 스티프너를 기판의 각 개소에 형성된 그라운드 선로를 전기적으로 접속하는 공통의 그라운드로 사용할 수 있다.

본 발명의 제2의 실장구조는 수지로 이루어진 기판에 형성된 패드에 반도체 칩의 전극이 병프를 개재하여 접속됨과 동시에, 상기 기판과 반도체 칩 사이에 언더필이 충전되고, 그 언더필을 개재하여 상기 기판에 반도체 칩이 접합되어 있는 반도체 칩의 실장구조에 있어서,

상기 반도체 칩에 대응하는 기판부분에 반도체 칩과 언더필과 기판간에 가해지는 열응력을 흡수하기 위한 엘라스토머를 매설한 것을 특징으로 한다.

이 제2의 실장구조에서는, 반도체 칩이 발하는 열 등에 의해 열팽창계수가 다른 반도체 칩과 언더필과 기판간에 열응력이 발생한 경우에, 그 열응력을 반도체 칩에 대응하는 기판부분에 매설한 유연성이 있는 엘라스토머에서 흡수할 수 있다. 그리고 기판과 언더필과 반도체 칩간에 가해지는 열응력을 의해 반도체 칩의 하방의 기판의 하면 부분이 반도체 칩 방향으로 움푹하게 들어가거나 반도체 칩이 파손하거나 하는 것을 방지할 수 있다.

본 발명의 제2의 실장구조에서는, 엘라스토머를 반도체 칩의 코너부에 대응하는 기판부분에 매설한 구조로 하는 것이 바람직하다.

이 제2의 실장구조에서는, 반도체 칩에 가해지는 열응력이 집중하는 반도체 칩의 코너부의 열응력을 그 코너부에 대응하는 기판부분에 매설한 엘라스토머에서 효율 좋고 확실하게 흡수할 수 있다.

또한 반도체 칩의 코너부 이외의 반도체 칩의 하방에 위치하는 기판부분에 배선희로를 엘라스토머에 방해받지 않고 형성할 수 있다.

또한 본 발명의 제2의 실장구조에서는, 엘라스토머를 반도체 칩의 주위에 대응하는 기판부분에 틀형상으로 연속하여 매설한 구조로 하는 것이 바람직하다.

이 제2의 실장구조에서는, 반도체 칩에 가해지는 열응력이 집중하는 반도체 칩의 코너부의 열응력을 그 코너부에 대응하는 기판부분에 매설한 엘라스토머 부분에서 효율 좋고 확실하게 흡수할 수 있다.

그와 동시에, 그 반도체 칩의 코너부에 대응하는 기판부분에 매설한 엘라스토머 부분에서 흡수하는 열응력의 다수를 그 엘라스토머 부분에서 틀형상으로 연속하는 다른 엘라스토머 부분에서 분산시켜 흡수할 수 있다. 그리고 반도체 칩의 코너부에 가해지는 열응력을 엘라스토머에서 효율 좋게 흡수할 수 있다.

또한 본 발명의 제2의 실장구조에서는, 엘라스토머를 반도체 칩에 대응하는 기판부분에 면상으로 넓게 매설한 구조로 하는 것이 바람직하다.

이 제2의 실장구조에서는, 반도체 칩에 가해지는 열응력이 집중하는 반도체 칩의 코너부의 열응력을 그 코너부에 대응하는 기판부분에 매설한 엘라스토머 부분에서 효율 좋고 확실하게 흡수할 수 있다.

그와 동시에 그 코너부에 대응하는 기판부분에 매설한 엘라스토머 부분에서 흡수하는 열응력의 다수를 그 엘라스토머 부분에서 면상으로 연속하는 다른 엘라스토머 부분에서 넓게 분산시켜 흡수할 수 있다. 그리고 반도체 칩의 코너부에 가해지는 열응력을 엘라스토머에서 효율 좋게 흡수할 수 있다.

또한 본 발명의 제1 또는 제2의 실장구조에서는, 스티프너 또는 엘라스토머의 코너부의 윤곽을 경사진 직선상 또는 원호상으로 형성한 구조로 하는 것이 바람직하다.

이 제1 또는 제2의 실장구조에서는, 윤곽이 경사진 직선상 또는 원호상으로 형성된 스티프너 또는 엘라스토머의 코너부에 융력 집중이 일어나는 것을 방지할 수 있다. 그리고 스티프너에 의해 완화하는 열응력을 스티프너의 전체로 분산시켜 스티프너에 의해 효율 좋게 완화하거나, 또는 엘라스토머에서 흡수하는 열응력을 엘라스토머의 전체로 분산시켜 엘라스토머에서 효율 좋게 흡수하거나 할 수 있다.

[실시예]

다음에 본 발명의 실시형태를 도면에 따라 설명한다.

도 1과 도 2는 본 발명의 제1 또는 제2의 실장구조의 양호한 실시예를 나타내는 것으로, 도 1은 그 정면 단면도, 도 2는 그의 평면도이다. 이하에 이 제1 또는 제2의 실장구조에 대하여 설명한다.

도면의 제1의 실장구조에서는, 도 1과 도 2에 나타낸 바와 같이 사각형상을 갖는 반도체 칩(20)의 4방의 코너부의 하방의 기판(10) 부분에 강성이 있는 사각형상의 스티프너(100)를 매설하고 있다. 스티프너(100)는 Ni, Cu 등의 금속 또는 알루미나, 세라믹 등을 사용하여 형성한다.

스티프너(100)는 기판(10)의 열팽창계수보다 낮은 열팽창계수를 갖는 부재를 사용하여 형성하는 것이 좋다. 그리고 스티프너(100)에 의해 그 스티프너(100)를 매설한 기판(10) 부분의 열팽창계수를 의사적으로 낮게 하는 것이 좋다. 그리고 기판(10)의 열팽창계수를 반도체 칩(20)의 열팽창계수에 의사적으로 가깝게 하는 것이 좋다. 그리고 스티프너(100)에 의해 기판(10)과 언더필(40)과 반도체 칩(20)간에 가해지는 열응력을 확실하게 약화시키도록 하는 것이 좋다.

도면의 제2의 실장구조에서는, 도 1과 도 2에 나타낸 바와 같이 사각형상을 갖는 반도체 칩(20)의 4방의 코너부의 하방의 기판(10) 부분에 유연성이 있는 사각형상의 엘라스토머(200)를 매설한다. 엘라스토머(200)는 실리콘 수지 등을 사용하여 형성한다.

그외에는 도 11과 도 12에 나타낸 상술한 실장구조와 마찬가지로 구성한다.

이 제1 또는 제2의 실장구조에서는, 반도체 칩(20)과 언더필(40)과 기판(10)간에 발생한 열을력을 반도체 칩(20)의 하방의 기판(10) 부분에 매설한 강성이 있는 스티프너(100)에 의해 완화하거나 또는 반도체 칩(20)의 하방의 기판(10) 부분에 매설한 유연성이 있는 엘라스토머(200)에서 흡수하거나 할 수 있다. 그외에 열응력이 집중하는 반도체 칩(20)의 코너부에 가해지는 열응력을 그의 하방의 기판(10) 부분에 매설한 스티프너(100)에 의해 효율 좋고 확실하게 완화하거나 또는 그의 하방의 기판(10) 부분에 매설한 엘라스토머(200)에서 흡수하거나 할 수 있다. 그리고 반도체 칩(20)의 하방의 기판(10)의 하면 부분이 움푹 들어가거나 반도체 칩(20)이 파손하거나 하는 것을 방지할 수 있다.

또한 반도체 칩(20)의 코너부 이외의 반도체 칩(20)의 하방에 위치하는 기판(10) 부분에 배선회로를 스티프너(100)와 교차하지 않게 형성할 수 있다. 그리고 그 배선회로와 금속 등으로 되는 스티프너(100)가 전기적으로 단락하는 것을 방지할 수 있다. 또는 반도체 칩(20)의 코너부 이외의 반도체 칩(20)의 하방에 위치하는 기판(10) 부분에 배선회로를 엘라스토머(200)에 방해받지 않고 형성할 수 있다.

이 제1 또는 제2의 실장구조에서는, 도 3에 나타낸 바와 같이 스티프너(100) 또는 엘라스토머(200)의 코너부의 윤곽을 경사진 직선상 또는 원호상(도면에서는, 원호상으로 함)으로 형성하는 것이 좋다.

이 엘라스토머(100) 또는 엘라스토머(200)에서는, 스티프너(100)에 의해 완화하는 열응력을 윤곽이 경사진 직선상 또는 원호상으로 형성된 스티프너(100)의 코너부에 집중시키지 않고 스티프너(100)의 전체로 분산시켜, 스티프너(100)에 의해 효율 좋게 완화하거나 또는 엘라스토머(200)에서 흡수하는 열응력을 윤곽이 경사진 직선상 또는 원호상으로 형성된 엘라스토머(200)의 코너부에 집중시키지 않고 엘라스토머(200)의 전체로 분산시켜 엘라스토머(200)에서 흡수하거나 할 수 있다.

도 4는 본 발명의 제1 또는 제2의 실장구조의 다른 양호한 실시형태를 나타내며, 도 4는 그의 평면도이다. 이하에 이 제1 또는 제2의 실장구조에 대하여 설명한다.

도면의 제1의 실장구조에서는, 반도체 칩(20)의 주위의 하방의 기판(10) 부분에 스티프너(102)를 틀형상으로 연속하여 매설한다.

도면의 제2의 실장구조에서는, 반도체 칩(20)의 주위의 하방의 기판(10) 부분에 스티프너(202)를 틀형상으로 연속하여 매설한다.

그 외에는 도 1과 도 2에 나타낸 제1 또는 제2의 실장구조와 동일하게 구성하고, 그의 작용도 다음의 점을 제외하고는 도 1과 도 2에 나타낸 제1 또는 제2의 실장구조와 동일하다.

이 제1 또는 제2의 실장구조에서는, 열응력이 집중하는 반도체 칩(20)의 코너부에 가해지는 열응력을 그의 하방의 기판(10) 부분에 매설한 스티프너(102) 부분에 의해 효율 좋고 확실하게 완화하거나, 또는 그의 하방의 기판(10) 부분에 매설한 엘라스토머(202)부분에서 효율 좋고 확실하게 흡수하거나 할 수 있다.

그와 동시에 그 반도체 칩(20)의 코너부의 하방의 기판(10) 부분에 매설한 스티프너(102) 부분에 의해 완화하는 열응력의 다수를 그 스티프너(102) 부분에서 틀형상으로 연속하는 다른 스티프너(102) 부분에

서 분산시켜 완화하거나, 또는 반도체 칩(20)의 코너부의 하방의 기판(10) 부분에 매설한 엘라스토머(202) 부분에서 흡수하는 열응력의 다수를 그 엘라스토머(202) 부분에서 틀형상으로 연속하는 다른 엘라스토머(202) 부분에서 분산시켜 흡수하거나 할 수 있다. 그리고 반도체 칩(20)의 코너부에 가해지는 열응력을 스티프너(102)의 전체에 분산시켜 스티프너(102)에 의해 효율 좋게 완화하거나, 또는 엘라스토머(202)의 전체로 분산시켜 엘라스토머(202)에서 효율 좋게 흡수하거나 할 수 있다.

이 제1 또는 제2 실장구조에서는, 도 5에 나타낸 바와 같이 틀형상을 갖는 스티프너(102) 또는 엘라스토머(202)의 코너부의 외측 및 내측의 윤곽을 경사진 직선상 또는 원호상(도면에서는, 경사진 직선상으로 되어 있음)으로 형성하는 것이 좋다.

이 스티프너(102) 또는 엘라스토머(202)에서는, 그 윤곽이 경사진 직선상 또는 원호상으로 형성된 스티프너(102) 또는 엘라스토머(202)의 코너부에 반도체 칩(20)과 언더필(40)과 기판(10)간에 발생하는 열응력이 집중하는 것을 방지할 수 있다. 그리고 반도체 칩(20)과 언더필(40)과 기판(10)간에 가해지는 열응력을 스티프너(102)의 전체로 분산시켜 스티프너(102)에 의해 효율 좋게 완화하거나 또는 엘라스토머(202)의 전체로 분산시켜 엘라스토머(202)에 효율 좋게 흡수하거나 할 수 있다.

도 6과 도 7은 본 발명의 제1 또는 제2의 실장구조의 또 하나의 양호한 실시형태를 나타내는 것으로, 도 6은 그의 정면단면도, 도 7은 그의 스티프너 또는 엘라스토머의 평면도이다. 이하에 제1 또는 제2의 실장구조에 대하여 설명한다.

도의 제1 또는 제2의 실장구조에서는, 반도체 칩(20)의 하방의 기판(10) 부분에 스티프너(104) 또는 엘라스토머(204)를 면상으로 넓게 매설한다.

그 외에는 도 1과 도 2에 나타낸 제1 또는 제2의 실장구조와 동일하게 구성되어 있고, 그의 작용도 다음의 점을 제외하고는 도 1과 도 2에 나타낸 제1 또는 제2의 실장구조와 동일하다.

이 제1 또는 제2의 실장구조에서는, 반도체 칩(20)에 가해지는 열응력이 집중하는 반도체 칩(20)의 코너부의 열응력을 그 코너부의 하방의 기판(10) 부분에 매설한 스티프너(104) 부분에 의해 효율 좋고 확실하게 완화하거나, 또는 그의 코너부의 하방의 기판(10) 부분에 매설한 엘라스토머(204) 부분에서 효율 좋고 확실하게 흡수하거나 할 수 있다.

그와 동시에 반도체 칩(20)의 코너부의 하방의 언더필(40) 부분에 매설한 스티프너(104) 부분에 의해 완화하는 열응력의 다수를 그 스티프너(104) 부분에 면상으로 연속하는 다른 스티프너(104) 부분에 넓게 분산시켜 완화시키거나, 또는 반도체 칩(20)의 코너부의 하방의 언더필(40) 부분에 매설한 엘라스토머(204) 부분에서 흡수하는 열응력의 다수를 그 엘라스토머(204) 부분에서 면상으로 연속하는 다른 엘라스토머(204) 부분에서 면상으로 연속하는 다른 엘라스토머(204) 부분에서 넓게 분산시켜 완화시키거나 할 수 있다. 그리고 반도체 칩(20)에 가해지는 열응력을 스티프너(104)의 전체에 분산시켜 스티프너(104) 부분에 의해 효율 좋게 완화하거나 또는 엘라스토머(204)의 전체로 분산시켜 엘라스토머(204)에 효율 좋게 흡수하거나 할 수 있다.

이 제1 또는 제2 실장구조에서는, 도 7에 파선으로 나타낸 바와 같이 면상을 한 스티프너(104) 또는 엘라스토머(204)의 코너부의 윤곽을 경사진 직선상 또는 원호상(도면에서는, 원호상으로 되어 있음)으로 형성하는 것이 좋다.

이 스티프너(104) 또는 엘라스토머(204)에서는, 그 윤곽이 경사진 직선상 또는 원호상으로 형성된 스티프너(104) 또는 엘라스토머(204)의 코너부에 반도체 칩(20)과 언더필(40)과 기판(10)간에 발생하는 열응력이 집중하는 것을 방지할 수 있다. 그리고 그 반도체 칩(20)과 언더필(40)과 기판(10) 부분간에 가해지는 열응력을 스티프너(104)의 전체에 분산시켜 스티프너(104)에 의해 효율 좋게 완화하거나 또는 엘라스토머(204)의 전체로 분산시켜 엘라스토머(204)에 효율 좋게 흡수하거나 할 수 있다.

또한 상술한 제1 또는 제2의 각 실장구조에서는, 스티프너(100, 102, 104) 또는 엘라스토머(200, 202, 204)를 기판(10)의 중간부분에 매설하지 않고, 도 8에 나타낸 바와 같이 스티프너(100, 102, 104) 또는 엘라스토머(200, 202, 204)를 기판(10)을 상하로 관통시킨 상태로 기판(10) 부분에 매설하여도 좋고, 도 9에 나타낸 바와 같이 스티프너(100, 102, 104) 또는 엘라스토머(200, 202, 204)를 기판(10)의 상면에 노출시킨 상태로 기판(10)의 상부에 매설시켜도 좋고, 또는 도 10에 나타낸 바와 같이 스티프너(100, 102, 104) 또는 엘라스토머(200, 202, 204)를 기판(10)의 하면에 노출시킨 상태로 기판(10)의 하부에 매설하여도 좋다. 또는 경우에 따라서 도 10에 파선 및 실선으로 나타낸 바와 같이 스티프너(100, 102, 104) 또는 엘라스토머(200, 202, 204)를 기판(10)의 상면에 노출시킨 상태로 기판(10)의 상부에 매설함과 동시에 기판(10)의 하면에 노출시킨 상태로 기판(10)의 하부에도 매설하여도 좋다.

이 들의 제1 또는 제2의 실장구조의 어느 경우에도, 반도체 칩(20)과 언더필(40)과 기판(10)간에 가해지는 열응력을 상기한 스티프너(100, 102, 104)에 의해 확실하게 완화시키거나, 또는 상기의 엘라스토머(200, 202, 204)에 확실하게 흡수하거나 할 수 있다.

또한 상술한 제1의 각 실장구조에서는, 스티프너(100, 102, 104)를 도전성이 있는 Ni, Cu 등의 부재로 형성되고, 그 스티프너(100, 102, 104)를 기판(10)에 형성된 그라운드 선로(도시 않됨)와 전기적으로 접속하는 그라운드로 구성하면 좋다. 그리고 그 그라운드를 구성하는 스티프너(100, 102, 104)를 기판(10)의 각 개소에 형성된 그라운드 선로를 전기적으로 접속하는 공통의 그라운드로 사용하면 좋다.

발명의 효과

이상 설명한 바와 같이 본 발명의 제1 또는 제2의 실장구조에 의하면, 반도체 칩 등이 발하는 열에 의해 반도체 칩과 언더필과 기판간에 발생하는 열응력을 스티프너에 의해 효율 좋고 확실하게 완화하거나, 또는 엘라스토머에서 효율 좋고 확실하게 흡수하거나 할 수 있다. 그리고 반도체 칩이나 기판에 과대한 열응력이 가해져서 기판의 하면 부분이 웅푹 들어가거나, 반도체 칩이 파손하거나 하는 것을 확실하게 방지할 수 있다.

(57) 청구의 범위

청구항 1

수지로 이루어진 기판에 형성된 패드에 반도체 칩의 전극이 범프를 개재하여 접속됨과 동시에, 상기 기판과 반도체 칩 사이에 언더필이 충전되고, 그 언더필을 개재하여 상기 기판에 반도체 칩이 접합되어 있는 반도체 칩의 실장구조에 있어서.

상기 반도체 칩에 대응하는 기판부분에 반도체 칩과 언더필과 기판간에 가해지는 열응력을 완화하기 위한 스티프너를 매설한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 2

제 1 항에 있어서, 상기 스티프너에 기판의 열팽창계수보다 낮은 열팽창계수를 갖는 부재를 사용한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 3

제 1 항 또는 제 2 항에 있어서, 상기 스티프너를 반도체 칩의 코너부에 대응하는 기판부분에 매설한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 4

제 1 항 또는 제 2 항에 있어서, 상기 스티프너를 반도체 칩의 주위에 대응하는 기판부분에 둘형상으로 연속하여 매설한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 5

제 1 항 또는 제 2 항에 있어서, 상기 스티프너를 반도체 칩에 대응하는 기판부분에 면형상으로 넓게 매설한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 6

제 1 항 또는 제 2 항에 있어서, 상기 스티프너를 도전성이 있는 부재로 형성하여, 그 스티프너를 기판에 형성된 그라운드 선로와 전기적으로 접속하는 그라운드로 구성한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 7

수지로 이루어진 기판에 형성된 패드에 반도체 칩의 전극이 범프를 개재하여 접속됨과 동시에, 상기 기판과 반도체 칩 사이에 언더필이 충전되고, 그 언더필을 개재하여 상기 기판에 반도체 칩이 접합되어 있는 반도체 칩의 실장구조에 있어서.

상기 반도체 칩에 대응하는 기판부분에 반도체 칩과 언더필과 기판간에 가해지는 열응력을 틀수하기 위한 엘라스토머를 매설한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 8

제 7 항에 있어서, 상기 엘라스토머를 반도체 칩의 코너부에 대응하는 기판부분에 매설한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 9

제 7 항에 있어서, 상기 엘라스토머를 반도체 칩의 주위에 대응하는 기판부분에 둘형상으로 연속하여 매설한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 10

제 7 항에 있어서, 상기 엘라스토머를 반도체 칩에 대응하는 기판부분에 면형상으로 넓게 매설한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 11

제 1 항 또는 제 2 항에 있어서, 상기 스티프너 또는 상기 엘라스토머의 코너부의 윤곽을 원호상 또는 경사진 직선상으로 형성한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 12

제 3 항에 있어서, 상기 스티프너를 도전성이 있는 부재로 형성하여, 그 스티프너를 기판에 형성된 그라운드 선로와 전기적으로 접속하는 그라운드로 구성한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 13

제 4 항에 있어서, 상기 스티프너를 도전성이 있는 부재로 형성하여, 그 스티프너를 기판에 형성된 그라운드 선로와 전기적으로 접속하는 그라운드로 구성한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 14

제 5 항에 있어서, 상기 스티프너를 도전성이 있는 부재로 형성하여, 그 스티프너를 기판에 형성된 그라운드 선로와 전기적으로 접속하는 그라운드로 구성한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 15

제 3 항에 있어서, 상기 스티프너 또는 상기 엘라스토머의 코너부의 윤곽을 원호상 또는 경사진 직선상으로 형성한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 16

제 4 항에 있어서, 상기 스티프너 또는 상기 엘라스토머의 코너부의 윤곽을 원호상 또는 경사진 직선상으로 형성한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 17

제 5 항에 있어서, 상기 스티프너 또는 상기 엘라스토머의 코너부의 윤곽을 원호상 또는 경사진 직선상으로 형성한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 18

제 6 항에 있어서, 상기 스티프너 또는 상기 엘라스토머의 코너부의 윤곽을 원호상 또는 경사진 직선상으로 형성한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 19

제 12 항에 있어서, 상기 스티프너 또는 상기 엘라스토머의 코너부의 윤곽을 원호상 또는 경사진 직선상으로 형성한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 20

제 13 항에 있어서, 상기 스티프너 또는 상기 엘라스토머의 코너부의 윤곽을 원호상 또는 경사진 직선상으로 형성한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 21

제 14 항에 있어서, 상기 스티프너 또는 상기 엘라스토머의 코너부의 윤곽을 원호상 또는 경사진 직선상으로 형성한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 22

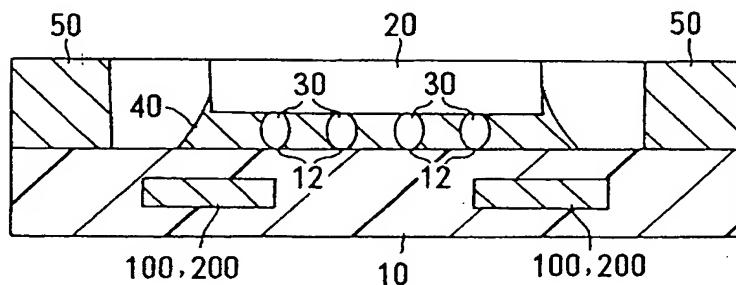
제 7 항 또는 제 8 항에 있어서, 상기 스티프너 또는 상기 엘라스토머의 코너부의 윤곽을 원호상 또는 경사진 직선상으로 형성한 것을 특징으로 하는 반도체 칩의 실장구조.

청구항 23

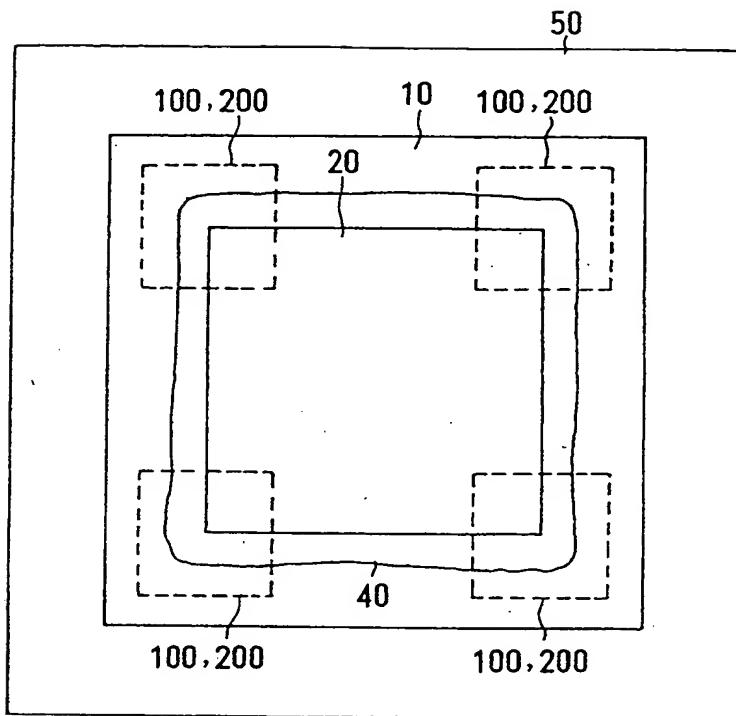
제 9 항 또는 제 10 항에 있어서, 상기 스티프너 또는 상기 엘라스토머의 코너부의 윤곽을 원호상 또는 경사진 직선상으로 형성한 것을 특징으로 하는 반도체 칩의 실장구조.

도면

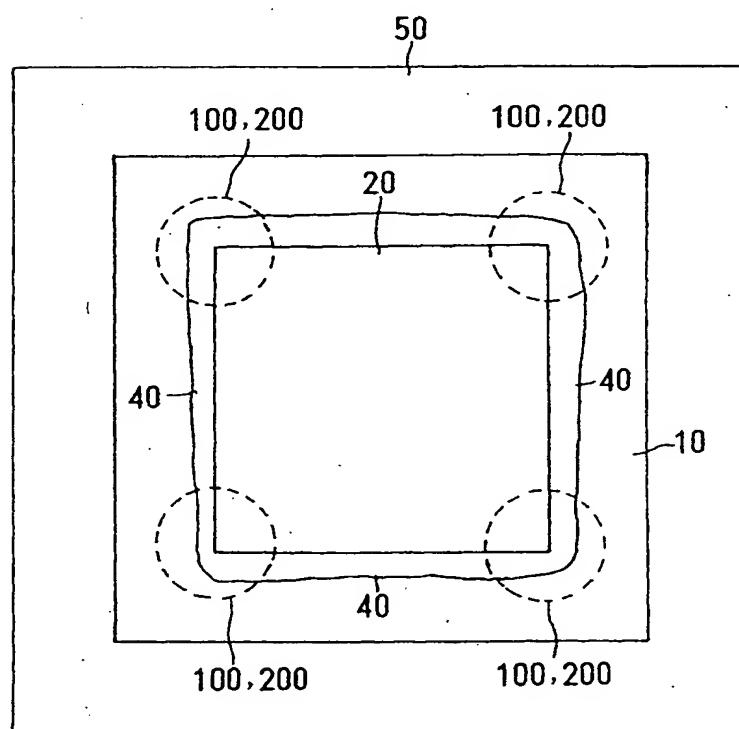
도면1



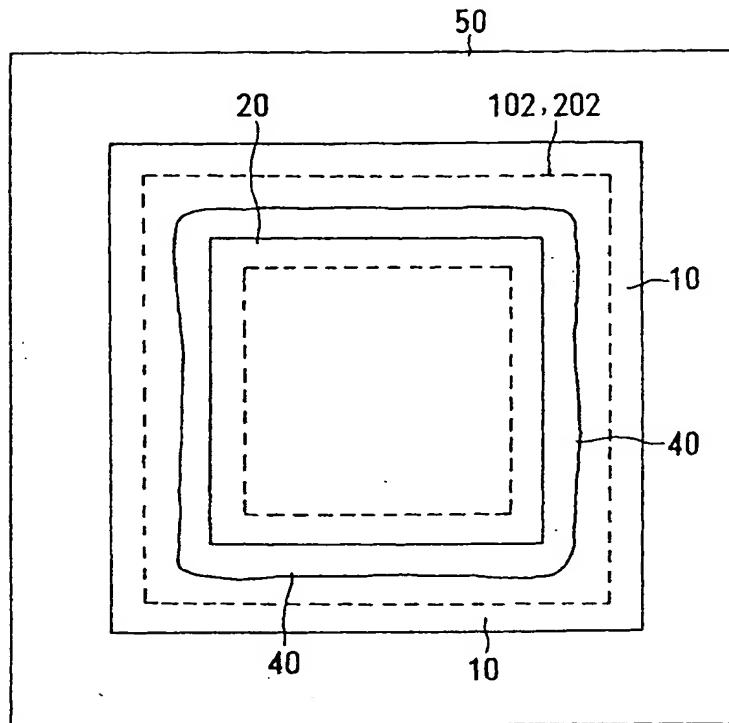
도면2



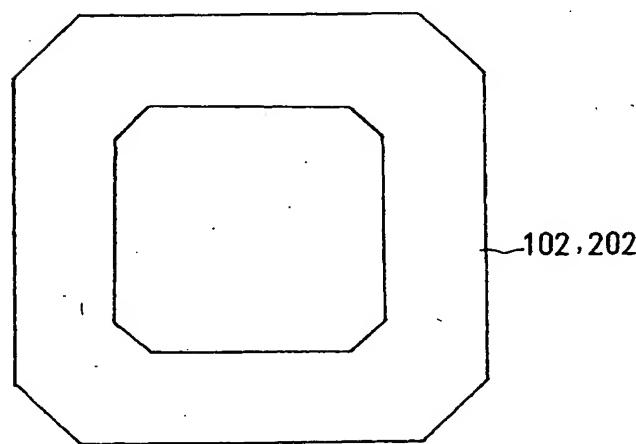
도면3



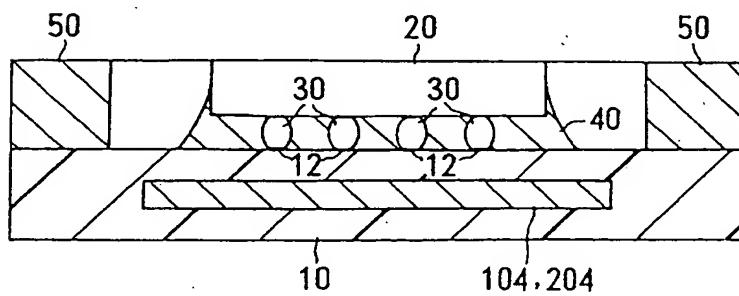
도면4



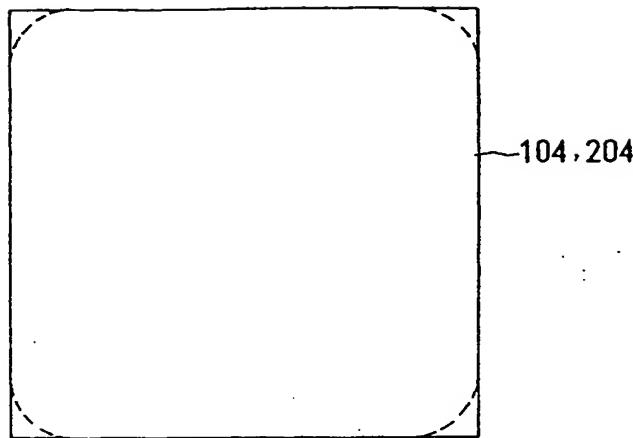
도면5



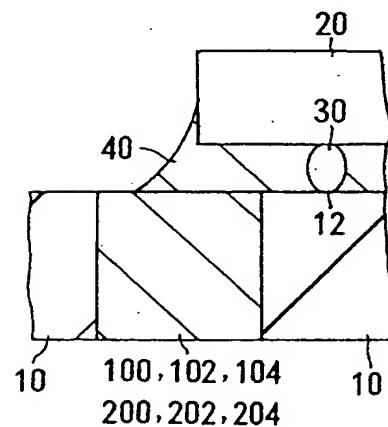
도면6



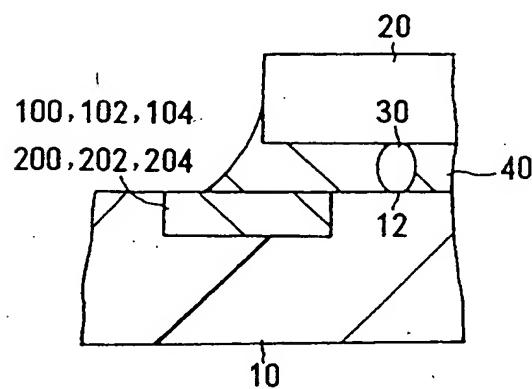
도면7



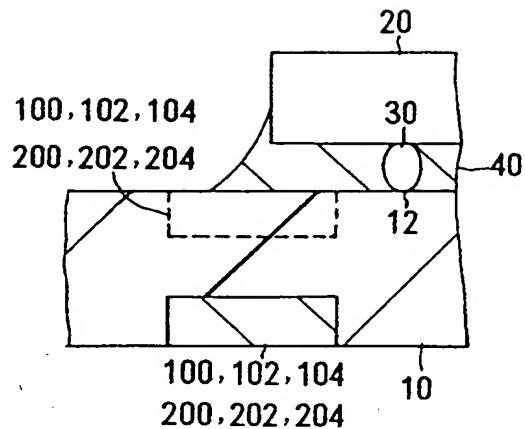
도면8



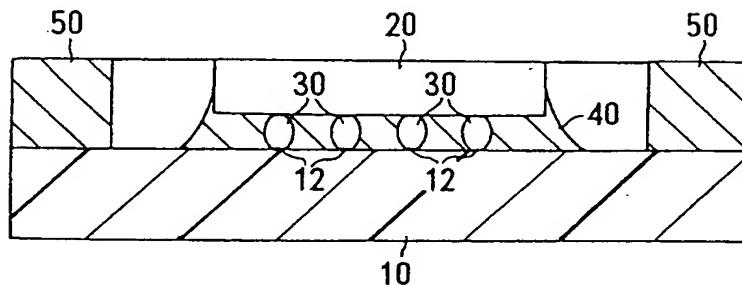
도면9



도면 10



도면 11



도면 12

